

P6121a

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: Kazuo Kobayashi Group Art Unit: Not Yet Assigned
Serial No.: Not Yet Assigned Examiner: Not Yet Assigned
Filed: Herewith
Title: DISPLAY DRIVER APPARATUS, AND ELECTRO-OPTICAL DEVICE AND
ELECTRONIC EQUIPMENT USING THE SAME

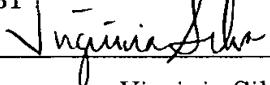
10/005494
11/06/01
U.S. PRO
PC821

CERTIFICATION UNDER 37 CFR 1.10

"Express Mail" Mailing Label Number: EL700476669US

I hereby certify that this submission and the document referred to as enclosed therein are being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" under 37 CFR 1.10 on the date indicated below and is addressed to Assistant Commissioner for Patents, Washington, D.C. 20231".

Dated: November 6, 2001


Virginia Silva

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Enclosed is the certified copy of the Japanese patent application listed below. The claim of priority under 35 USC §119 in the above-identified application is based on this Japanese patent application.

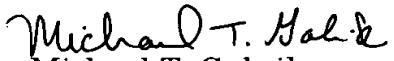
Japanese Patent Application

Number

Date Filed

2000-344852(P) November 13, 2000

Respectfully submitted,


Michael T. Gabrik
Attorney for Applicant
Registration No. 32,896

Please address all correspondence to:
Epson Research and Development, Inc.
Intellectual Property Department
150 River Oaks Parkway, Suite 225
San Jose, CA 95134
Customer No. 20178
Phone: (408) 952-6000
Fax: (408) 954-9058

Date: November 6, 2001

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年11月13日

JC821 U.S. PRO
10/005494



11/06/01

出願番号
Application Number:

特願2000-344852

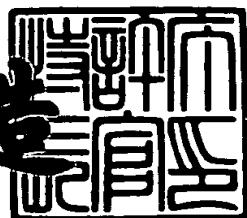
出願人
Applicant(s):

セイコーエプソン株式会社

2001年 6月28日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3060846

【書類名】 特許願
【整理番号】 EP-0214701
【提出日】 平成12年11月13日
【あて先】 特許庁長官殿
【国際特許分類】 H04L 29/00
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 小林 和男
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090398
【弁理士】
【氏名又は名称】 大渕 美千栄
【電話番号】 03-5397-0891
【手数料の表示】
【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示駆動装置およびそれを用いた電気光学装置並びに電子機器

【特許請求の範囲】

【請求項1】 複数のコモン電極および複数のセグメント電極の各々の交点にそれぞれ形成される複数の画素を有し、前記複数の画素の各々に印加される電圧によって各画素の電気光学材料の配列状態が制御される表示部を、L ($L \geq 2$) 本のコモン電極を順次同時に選択しながら駆動する表示駆動装置において、

L本のコモン電極を同時に選択する走査信号を前記複数のコモン電極の各々に供給するコモン電極駆動手段と、

データ信号を前記複数のセグメント電極の各々に供給するセグメント電極駆動手段と、

前記複数のセグメント電極の各1本毎にそれぞれNビットの表示データが同時に読み出される記憶手段と、

前記記憶手段から同時に読み出されたNビットの表示データを、所定ビット毎に分割してデコードする複数のサブデコーダを有し、前記複数のサブデコーダから前記各1本のセグメント電極に印加される電圧を出力するデコーダと、

を有し、

前記記憶手段に記憶されたNビットの表示データが、各1本の前記セグメント電極上のL個の各画素の 2^A ($A = N / L \geq 2$) 階調データである第1のモードでは、一水平走査期間内をA個に分割した期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力し、

前記記憶手段に記憶されたNビットの表示データが、n ($n \geq 2$) × L個の各画素の 2^B ($1 \leq B = A / n$) 階調データである第2のモードでは、n個の一水平走査期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力することを特徴とする表示駆動装置。

【請求項2】 請求項1において、

前記第1のモードおよび前記第2のモードの一方を選択する端子を有すること

を特徴とする表示駆動装置。

【請求項3】 請求項1において、

前記表示データを外部より入力するインターフェース回路を有し、前記第1のモードおよび前記第2のモードの一方を選択するモード選択信号が前記インターフェース回路を介して入力されることを特徴とする表示駆動装置。

【請求項4】 請求項1乃至3のいずれかにおいて、

前記第1のモードは、前記Nビットの表示データを、各1本の前記セグメント電極上のL個の各画素の2階調データとしたことを特徴とする表示駆動装置。

【請求項5】 請求項4において、

前記第2のモードは、前記Nビットの表示データが、2L個の各画素の4階調データであることを特徴とする表示駆動装置。

【請求項6】 請求項1乃至5のいずれかに記載の表示駆動装置を有することを特徴とする電気光学装置。

【請求項7】 請求項6に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示駆動装置及びそれを用いた電気光学装置並びに電子機器に関するもの。

【0002】

【背景技術】

近年の携帯電話、携帯情報端末またはゲーム装置などの電子機器に組み込まれ、画面表示制御を行なう表示駆動装置は、低価格化、低消費電力化および高画質化などといったそれぞれの目的に応じて使い分けられている。

【0003】

このような表示駆動装置は、2階調表示、4階調表示、さらにはそれ以上の多階調表示など、階調数に合わせて個々に製造されている。

【0004】

【発明が解決しようとする課題】

表示駆動装置において、上述した携帯電話、携帯情報端末およびゲーム装置などの電子機器のそれぞれに必要とされる階調表示は、使用目的あるいは用途によって異なっている。

【0005】

また、近年、エンドユーザーからの要求に応えるため、あるいは、電子機器メーカーの販売戦略に応じて、階調数および表示容量などの仕様を変更した複数種の表示駆動装置を製造する必要がある。この場合、異なる仕様の表示駆動装置毎に部品を用意したりすることで、部品管理が煩雑となる。そればかりか、例えば、表示駆動装置の消費電力を低減させるような回路を組み込もうとした場合には、階調数の異なる個々の表示駆動装置について、設計や製造工程などを見直さざるをえないといった煩雑さがあった。

【0006】

そこで、本発明の目的は、階調数を変更できる汎用性を高めた表示駆動装置およびそれを用いた電気光学装置並びに電子機器を提供することにある。

【0007】

【課題を解決するための手段】

本発明の一態様は、複数のコモン電極および複数のセグメント電極の各々の交点にそれぞれ形成される複数の画素を有し、前記複数の画素の各々に印加される電圧によって各画素の電気光学材料の配列状態が制御される表示部を、 L ($L \geq 2$) 本のコモン電極を順次同時に選択しながら駆動する表示駆動装置において、 L 本のコモン電極を同時に選択する走査信号を前記複数のコモン電極の各々に供給するコモン電極駆動手段と、データ信号を前記複数のセグメント電極の各々に供給するセグメント電極駆動手段と、前記複数のセグメント電極の各 1 本毎にそれぞれ N ビットの表示データが同時に読み出される記憶手段と、前記記憶手段から同時に読み出された N ビットの表示データを、所定ビット毎に分割してデコードする複数のサブデコーダを有し、前記複数のサブデコーダから前記各 1 本のセグメント電極に印加される電圧を出力するデコーダとを有する。前記記憶手段に記憶された N ビットの表示データが、各 1 本の前記セグメント電極上の L 個の各

画素の 2^A ($A = N/L \geq 2$) 階調データである第1のモードでは、一水平走査期間内をA個に分割した期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力する。前記記憶手段に記憶されたNビットの表示データが、 n ($n \geq 2$) $\times L$ 個の各画素の 2^B ($1 \leq B = A/n$) 階調データである第2のモードでは、n個の一水平走査期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力する。

【0008】

このようにして、第1、第2のモードの切り換えにより、各画素を 2^A または 2^B 階調にて切り換えて表示駆動することができる。最も好適には、2階調表示モードまたは4階調表示モードにて切り換えて、表示駆動装置を動作させることができる。

【0009】

この表示駆動装置は、前記第1のモードおよび前記第2のモードの一方を選択する端子を有することができる。この端子への接続状態によって、表示駆動装置を第1または第2のモードの一方にて動作させることができる。

【0010】

これに代えて、表示データを外部より入力するインターフェース回路を設け、前記第1のモードおよび前記第2のモードの一方を選択するモード選択信号が前記インターフェース回路を介して入力されるようにしても良い。こうすると、モード選択信号に基づいて、一つの表示駆動装置を、第1または第2のモードにて選択的に切り換えて動作させることができる。

【0011】

また、本発明に係る表示駆動装置は電気光学装置および電子機器に適用すれば、その汎用性を高めることができる。

【0012】

【発明の実施の形態】

以下に、本発明の実施形態について、図面を用いて詳細に説明する。

【0013】

(表示駆動装置について)

図1に示すICチップにて構成される表示駆動装置10は、コモン駆動回路20、セグメント駆動回路22、デコーダ24、表示データラッチ回路26、表示データRAM30、I/Oバッファ回路32、ページアドレス回路34、カラムアドレス回路36、LCD表示アドレス回路38、表示タイミング発生回路40、発振回路42、MPUインターフェース回路50および入出力バッファ52など、液晶装置を駆動するために必要な装置を有して構成されている。

【0014】

MPUインターフェース回路50には、外部のMPU70からの各種信号が入力されるための複数の入力端子を有している。この入力端子としては、チップセレクト端子、データ識別端子、データバスラッチ端子、データ取込み端子、リセット端子およびパラレルシリアル入力切換え端子などが設けられている。

【0015】

チップセレクト端子には、表示駆動装置10がアクティブな状態であるか否かを決定する信号が供給される。データ識別端子には、MPU70から供給されるデータが、コマンドデータあるいは表示データのどちらであるかを識別する信号が供給される。データバスラッチ端子に信号が供給されると、データバス60がラッチされ、データ信号がデータバス60に出力される。データ取込み端子に信号が供給されると、データバス60上のデータ信号が表示駆動装置の内部に取り込まれる。リセット端子に信号が供給されると、デフォルト値に設定される。入力切換え端子には、パラレルまたはシリアルデータのいずれか一方への入力切替えを行なう信号が入力される。

【0016】

入出力バッファ52には、入出力端子（例えばN=8ビットの端子D0～D7）が設けられている。この入出力端子D0～D7を介して、外部のMPU70によって処理されたコマンドデータおよび表示データのそれぞれが表示駆動装置10に供給される。なお、ビット数Nについては、1バイト（8ビット）に限らず、1ワード（16ビット）または1ロングワード（32ビット）などに変更可能である。

【0017】

以下には、 MPUインターフェース50に供給された各種信号による表示駆動装置10内の動作の一例を示す。

【0018】

データ識別端子に信号「0」が入力されることで、入出力バッファ52にはコマンドデータが入力される。このコマンドデータはシリアルデータとして入出力バッファ52に供給される。さらに、N=8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてコマンドデコーダ44に供給される。同様に、データ識別端子に「1」が入力されると、入出力バッファ52には表示データが入力される。この表示データもシリアルデータとして、入出力バッファ52に供給される。さらに、8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてデータバス60にパラレルに送出される。コマンドデコーダ44でデコードされたコマンドデータは、表示タイミング発生回路40の動作コマンドとして用いられる他、表示データRAM30に接続されたページアドレス回路34およびカラムアドレス回路36のそれぞれのアドレス指定などに用いられる。

【0019】

ここで、ページアドレス回路34およびカラムアドレス回路36は、外部のMPU70から表示データRAM30にアクセスする場合にアドレス制御を行なう。

【0020】

一方、データバス60にラッチされたパラレルの表示データ（N=8ビットデータ）は、表示データRAM30のI/Oバッファ回路32を介して、コマンドにより指定されたページ及びカラムの各アドレスに従って、表示データRAM30内の対応するメモリセルの各々に書き込まれる。

【0021】

表示タイミング発生回路40には、クロック信号CL、極性反転化信号FRおよび階調制御信号GCPなどが供給される。クロック信号CLは、発振回路42からの出力と階調制御信号GCPとに基づいて、表示タイミング発生回路40にて生成することもできる。表示タイミング発生回路40は、液晶パネルでの表示

駆動に必要な各種タイミング信号を生成している。

【0022】

ここで、クロック信号CLは、液晶パネルの表示クロックとなる信号である。極性反転化信号FRは、液晶パネルの各画素に印加される電圧の極性を、所定時間毎に変化させるための信号である。階調制御信号GCPは、階調の濃淡のレベルを制御するための信号である。

【0023】

ここで、図3には、液晶パネルの構成を簡単に示してある。この液晶パネル200には、コモン駆動回路20により駆動されるコモン電極Y1～Yi（iは自然数）、およびセグメント駆動回路22により駆動されるセグメント電極X1～Xj（jは自然数）が配置されている。また、この交点に対応して画素が形成されている。

【0024】

表示データRAM30には、計 $i \times j$ 個のメモリ素子（メモリセル）を有しているが、そのメモリアドレス空間は、液晶パネル200の表示アドレス空間と一致していない。なお、本実施形態では、SRAM（静态・ランダム・アクセスメモリ）をメモリセルに用いているが、DRAM（ダイナミック・ランダム・アクセスメモリ）などの記憶装置を適用してもよい。

【0025】

（液晶表示パネルの表示空間とRAMのアドレス空間）

本実施の形態の表示駆動装置10は、MLS（Multi Line Selection）駆動により、液晶パネル200を駆動している。ここで、MLS駆動とは、L（ $L \geq 2$ ）本のコモン電極（本実施形態では $L = 4$ 本）を同時に選択する駆動法である。即ち、従来の線順次駆動では、1フレーム期間内に1回しか選択期間がない。このため、1つの選択期間と次の選択期間との間の時間間隔が1フレーム期間と長くなり、液晶での透過率が時間経過と共に低下してしまい、コントラストが低下する。これに対して、MLS駆動法では、L本のコモン電極を同時に駆動することで、1フレーム期間中にL回の選択期間を設けることができる。このため、1つの選択期間と次の選択期間との間の時間間隔が短くなり、液晶での透過率の低

下が抑えられ、コントラストが向上する。

【0026】

図4に、例えば 160×120 の画素を有する液晶パネル200の表示アドレス空間を示す。表示アドレスA1～A160はコモン電極Y1上の160個の画素に対応し、他の表示アドレスに各コモン電極上の160個の画素に対応している。

【0027】

4ライン同時選択のMLS駆動では、図4のK1、K2に示すように、第1の選択期間ではコモン電極Y1～Y4が同時選択され、次の第2の選択期間では例えばコモン電極Y5～Y8が同時選択される。以下、選択期間毎に4つのコモン電極の番号をシフトさせ、コモン電極Y117～Y120が選択された後に、コモン電極Y1まで戻って同様な動作を1フレーム期間中にさらに3回繰り返される。なお、同時選択されるコモン電極の数L、コモン電極の組み合わせ、コモン電極の選択の順番については、他に種々の変形実施が可能である。

【0028】

また、図5及び図6に、図4の表示アドレス空間を有する液晶パネル200内の表示データRAM30のメモリアドレス空間をそれぞれ示す。図5と図6とは、同じメモリアドレス空間内に異なる階調表示のための表示データが格納されることを示している。

【0029】

図5は、液晶パネル200の各画素を4階調（1画素につき2ビット表示データ）で駆動する際の表示データRAM30のメモリアドレス空間を示している。この場合、図4の表示アドレスA1に対応する表示データは、図5の2ビット表示データ（上位ビットa1-1及び下位ビットa1-2）である。そして、図5のメモリアドレス空間の1ライン上の表示データ（a1-1～d160-2）の各2つ（上位、下位ビットの組合せ）が、図4の4ライン上の各表示アドレスの2ビットデータに対応している。よって、図5のメモリアドレス空間の1ワードライン上の表示データ（a1-1～d160-2）は、図4の表示アドレス空間のK1に示すように、第1の選択期間のみにて用いられる。換言すれば、MP

Uより供給されるNビットデータを、同時選択されるL本のコモン電極と1本のセグメント電極との交点のL個の画素の 2^A 階調データとすると、 $A=N/L$ が成立する。本実施例では、8(N=8)ビットデータは、同時選択される4(L=4)本のコモン電極と1本のセングメント電極との交点の4個の画素の 2^2 ($2^A=2^{8/4}=4$)階調データとなる。

図6は、液晶パネル200の各画素を2階調(1画素につき1ビット表示データ)で駆動する際の表示データRAM30のメモリアドレス空間を示している。この場合、図4の表示アドレスA1に対応する表示データは、図6の1ビット表示データa1である。そして、図6のメモリアドレス空間の1ライン上の表示データ(a1~h160)の各々が、図4の8ライン上の各表示アドレスの1ビットデータに対応している。よって、図6のメモリアドレス空間の1ワードライン上の表示データ(a1~h160)は、図4の表示アドレス空間のK1, K2に示すように、第1、第2の選択期間の双方にて用いられる。換言すれば、MPUより供給されるNビットデータを、n×L本のコモン電極と1本のセグメント電極との交点のn×L個の画素の 2^B 階調データとすると、 $B=A/n$ が成立する。本実施例では、8(N=8)ビットデータは、8個の画素の 2^1 ($2^B=2^{2/2}=2$)階調データとなる。

【0030】

この表示データRAM30に記憶された表示データのうち、液晶パネル200内の4本または8本のコモン電極に対応するメモリセルの情報の各々は、LCD表示アドレス回路38の制御に基づいて、順次、表示データラッチ回路26に読み出される。この読み出しは、例えば階調制御信号GCPに基づいて実施できる。表示データラッチ回路26には、図5及び図6に示すように、同時に読み出される8ビットデータをラッチするラッチ素子26Aを有する。この表示データは、表示タイミング発生回路40から供給されるクロック信号CLに基づいて、デコーダ24に供給される。デコーダ24は、図5及び図6に示すように、ラッチ素子26Aにてラッチされた8ビット表示データのうちの4ビット表示データをデコードする第1のサブデコーダ24Aと、他の4ビット表示データをデコードする第2のサブデコーダ24Bとを有する。デコーダ24によりデコードされた

表示データは、セグメント駆動回路22にて、液晶パネルの駆動に必要なレベルの電圧に変換され、セグメント電極X₁～X_jの各々に供給される。これと対応して、コモン駆動回路20により、順次、4本のコモン電極が選択されていく。

【0031】

(4階調表示モードでの動作について)

本実施形態において、表示駆動装置10は、供給された表示データや各種信号に基づいて、複数のコモン電極が1水平走査期間（1選択期間）毎に選択されて駆動されるMLS駆動がなされる。

【0032】

このMLS駆動に基づいた液晶装置においては、1水平走査期間（1H）が表示データのビット数に対応して分割され、複数の期間が生成される。例えば、 $2^A=4$ 階調表示を行なう場合には、A=2ビットの表示データで全ての階調を表現できる。このとき、1水平走査期間（1H）は2（A=2）分割される。なお、 $2^A=8$ 階調を表示する場合には、A=3ビットの表示データで表現でき、1水平走査期間は3（A=3）分割される。分割された各期間の時間幅（重み付け）を調整することで、さらに詳細な階調調整を行う。

【0033】

以下に、4本のコモン電極を同時選択するMLS駆動の液晶装置において、4階調表示可能な表示駆動装置の表示モードを切換えて、2階調表示可能な表示駆動装置として利用する場合の動作を、図2のタイミングチャートを用いて説明する。

【0034】

図2(a)は、4階調表示を行なう表示モード切換え前の表示駆動装置のタイミングチャートを示している。このとき、図5に示すように、1画素に2ビットの表示データが対応している。すなわち、表示データRAM30内に配置されたページアドレス[0]、カラムアドレス[0]の8個のメモリセルの各々には、図5に示すように、MPU70から、各2ビットで形成された4画素分の8ビット表示データ(a1-1, d1-2)が供給されることになる。

【0035】

表示データRAM30に蓄積された1ワードラインに対応した表示データは、時刻t0において、データ読み込み信号によって表示データラッチ回路26に読み出され、デコーダ24にてデコードされる。なお、データ読み込み信号と階調制御信号GCPが液晶装置に供給されるタイミングは、共に時刻t0に設定されているが、互いに異なるタイミングに設定してもよい。

【0036】

4階調表示制御を行なうときは、クロック信号CLの立下りタイミングである時刻t1から時刻t2までの期間である1水平走査期間(1H)を、階調制御信号GCPによって例えば2:1に重み付けして分割する。ここで、t1~ta期間をP1期間、ta~t2期間をP2期間と定義する。P1期間では、例えば画素A1の上位ビットの階調値として、4画素の表示データの上位ビット(画素A1, B1, C1, D1に対するデータa1-1, b1-1, c1-1, d1-1)を用いて、第1のサブデコーダ24AにてMLS演算でデコードされ、そのデコード値に応じた駆動電位が出力される。同様に、P2期間では、例えば画素A1の下位ビットの階調値として、4ラインの表示データの下位ビット(画素A1, B1, C1, D1に対するデータa1-2, b1-2, c1-2, d1-2)を用いて、第2のサブデコーダ24BにてMLS演算でデコードされ、そのデコード値に応じた駆動電位を出力する。このように1水平走査期間(1H)内に、表示データの上位ビットおよび下位ビットのそれぞれについてMLS演算を行なった駆動電位を生成し、それに基づいてセグメント駆動回路22にて駆動電位を選択して供給する。これにより、各画素に印加される実効値電圧が制御されて、階調表示駆動が行なわれる。例えば、階調出力「3」では、P1, P2期間共にオン電圧が印加され、逆に、階調出力「0」では、P1, P2期間共にオン電圧は印加されない。なお、ノーマリーホワイトの液晶パネルでは、階調出力「3」のときは、黒が認識されることになる。

【0037】

このように、液晶パネル内の4本のコモン電極に対応する画素のそれぞれに、階調出力「0」~「3」のいずれかを示すための電圧が印加される。

【0038】

なお、ここでは階調制御信号GCPによって一水平走査期間を2:1の比率に重み付けを設定しているが、この比率は液晶パネルなどの階調表示状態に合わせて、適宜設定可能である。

【0039】

(2階調表示モードでの動作について)

図2(b)は、2階調表示を行なう表示モード切換え後の表示駆動装置のタイミングチャートを示している。このとき、図6に示すように、1画素に1ビットの表示データが対応している。すなわち、表示データRAM30内に配置されたページアドレス[0]、カラムアドレス[0]の8個のメモリセルの各々には、図5に示すように、MPU70から、各1ビットの8画素分の8ビット表示データ(a1~h1)が供給されることになる。なお、この2階調表示モードでも、外部のMPU70からはMPUインターフェース50を介して、4階調表示モード時と同じビット数である8ビットを有する表示データが、順次、表示データRAM30に供給される。

【0040】

4階調表示モードと同じく時刻t0において、LCD表示アドレス回路38によりアドレスが指定されることによって、図6に示す1ワードライン上の表示データ(a1~h160)が表示データRAM30から読み出され、表示データラッチ回路26にラッチされる。

【0041】

この1ビットで形成され2階調表示のための各表示データは、時刻t0の読み出し信号に基づいて、液晶パネル200の2水平走査期間(8ライン駆動分)に対応するデータが、表示データラッチ回路26にラッチされ、デコーダ24にてデコードされる。この後、時刻t1に供給されるクロック信号CLに基づいて、デコーダ24の出力に基づく階調電位が、第1の選択期間に亘ってセグメント駆動回路22より出力される。ここで、デコーダ24の第1のサブデコーダ24Aにて、第1の選択期間に同時選択されるコモン電極Y1~Y4に対応する表示データa1~d160がデコードされている。第1の選択期間では、この第1のサブデコーダ24Aからのデコード値に基づいて、セグメント駆動回路22より階

調電位が出力される。

【0042】

次のクロック信号CLの出力タイミングである時刻 t_{11} にて、第1の選択期間が終了し、第2の選択期間が開始される。従って、この2階調表示モードでは、4階調表示モードと比較して、一水平走査期間（一選択期間）の長さは半分となる。

【0043】

この時刻 t_{11} に供給されるクロック信号CLに基づいて、デコーダ24の出力に基づく階調電位が、第2の選択期間に亘ってセグメント駆動回路22より出力される。ここで、デコーダ24の第2のサブデコーダ24Bにて、第2の選択期間に同時選択されるコモン電極Y5～Y8に対応する表示データe1～h160がデコードされている。第2の選択期間では、この第2のサブデコーダ24Bからのデコード値に基づいて、セグメント駆動回路22より階調電位が出力される。

【0044】

なお、表示モードを切換えて1ビットで2階調を表示する場合には、1水平走査期間（1H）を階調制御信号GCPで分割する必要がないため、階調制御信号GCPは供給されていない。

【0045】

以下、第3の選択期間以降も、表示データが表示データラッチ回路26に読み込まれる毎に、同様な動作を行なう。

【0046】

なお、2階調表示モードでは、4階調表示モードのときに比べて、1フレームに必要な表示データが半減するため、表示データRAM30には2フレーム分の表示データを記憶することができる。

【0047】

また、本実施形態では最大4階調を表示する表示駆動装置10を2階調表示で利用する場合を示したが、階調数の切り換えについては他に変形実施が可能である。

【0048】

(階調数に応じたタイミング信号の生成について)

図7に、4階調表示モードと2階調表示モードとに用いられる各種信号のタイミングを生成する信号生成回路100を示す。上述の実施形態では、例えば、表示タイミング発生回路40内に設けられた、この信号生成回路100によって各種信号が変更されている。

【0049】

信号生成回路100は、分周器102、スイッチング素子104、106をして構成されている。

【0050】

この信号生成回路100では、4階調表示モードでは、発振回路42からの信号OSC(図2(a)のクロック信号CLと同一周波数)を、スイッチング素子102を介してノードA2に供給して、クロック信号CLを生成している。また、1水平走査期間内の階調制御位置を決める階調制御信号GCPは、4階調表示モードでは、図2(a)に示すように一水平走査期間IHを例えば2:1に分割する時刻で生成されている。この階調制御信号GCPは、スイッチング素子104を介して、ノードA1にそのまま供給される。よって、4階調表示モードにあっては、ノードA1、A2の信号をそれぞれ階調制御信号GCP、クロック信号CLとして用いれば良い。

【0051】

2階調表示モードでは、信号φによって、スイッチング素子102、104とともに、4階調表示モードとは異なる状態に切換わる。スイッチ104は、接地電位を選択するので、ノードA1からの階調制御信号GCPは、図2(b)に示すように発生しない。なお、この2階調表示モードでは、4階調表示モードと同様に、階調制御信号GCPを、表示データRAM30からのデータ読み出しタイミング信号として用いることができる。一方、発振回路42からの信号OSCは分周器106に入力され、図2(b)に示すクロック信号CLが生成される。このクロック信号CLは、スイッチング素子102を介してノードA2にそのまま出力される。

【0052】

このように信号生成回路100を構成し、各種信号を変更することで、階調切換え制御が容易に行なえるようになる。

【0053】

以上のように動作させることで、単一の表示駆動装置での汎用性が高まるとともに、下位の階調表示で液晶パネルに出力した場合、表示駆動装置内に設けられた表示データRAMのメモリ空間をより広く利用することができるようになる。結果として、表示データRAM内により多くの表示データを記憶することができるようになり、裏画面を多く持つことで、液晶パネルのスクロール表示がより円滑に行なわれるようとするなどの制御ができるようになる。

【0054】

なお、階調表示モードの切換えは次のように実施できる。その一つは、ICである表示駆動装置10の内部または外部端子として、モード切換え端子を設けることである。切換え端子を内部端子とした場合には、ICメーカーがそのICの製造工程中にて、切換え端子への接続状態を決定して、いずれか一つのモードを選択するようにすればよい。切換え端子を外部端子とした場合には、液晶装置メーカーが、表示駆動装置10の外部切換え端子への接続状態を決定して、いずれか一つのモードを選択できる。

【0055】

他の一つは、MPUインターフェース回路50または入出力バッファ52など、データを外部より入力するインターフェースを介して、いずれか一つのモードを選択するモード選択信号を、外部より入力させるものである。このようにすると、一つの表示パネルにて複数の階調表示モードでの表示駆動が選択的に可能となる。

【0056】

なお、本発明は上述した実施の形態に限定されるものでなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0057】

また、本発明に係る表示駆動装置は必ずしも液晶表示に用いられるものに限ら

ず、他の種々の方式の表示装置に適用できる。

【0058】

また本発明は、例えば、携帯電話、ゲーム機器、電子手帳、パソコン 컴퓨터、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る表示駆動装置を搭載した液晶装置の全体構成図である

【図2】

(a) は4階調表示時モードの動作を説明するタイミングチャートであり、(b) は2階調表示モードの動作を説明するタイミングチャートである。

【図3】

本実施形態に係る表示駆動装置の動作を説明するための液晶パネルである。

【図4】

図3に示す液晶パネルの表示メモリ空間を示す概略説明図である。

【図5】

図1に示す表示データRAMのメモリアドレス空間に4階調表示モード用の2ビット画素データを格納した状態を示す概略説明図である。

【図6】

図1に示す表示データRAMのメモリアドレス空間に2階調表示モード用の1ビット画素データを格納した状態を示す概略説明図である。

【図7】

本実施形態に係る信号生成回路を示す図である。

【符号の説明】

10 表示駆動装置

20 コモン駆動回路

22 セグメント駆動回路

24 デコーダ

24A 第1のサブデコーダ

24B 第2のサブデコーダ

26 表示データラッチ回路

26A ラッチ素子

30 表示データRAM

32 I/Oバッファ回路

34 ページアドレス回路

36 カラムアドレス回路

38 LCD表示アドレス回路

40 表示タイミング発生回路

42 発振回路

44 コマンドデコーダ

50 MPUインターフェース

52 入出力バッファ

60 バスライン

70 MPU

100 信号生成回路

102 分周器

104 OR回路

106, 108 スイッチング素子

110, 112, 120, 122, 124 ライン

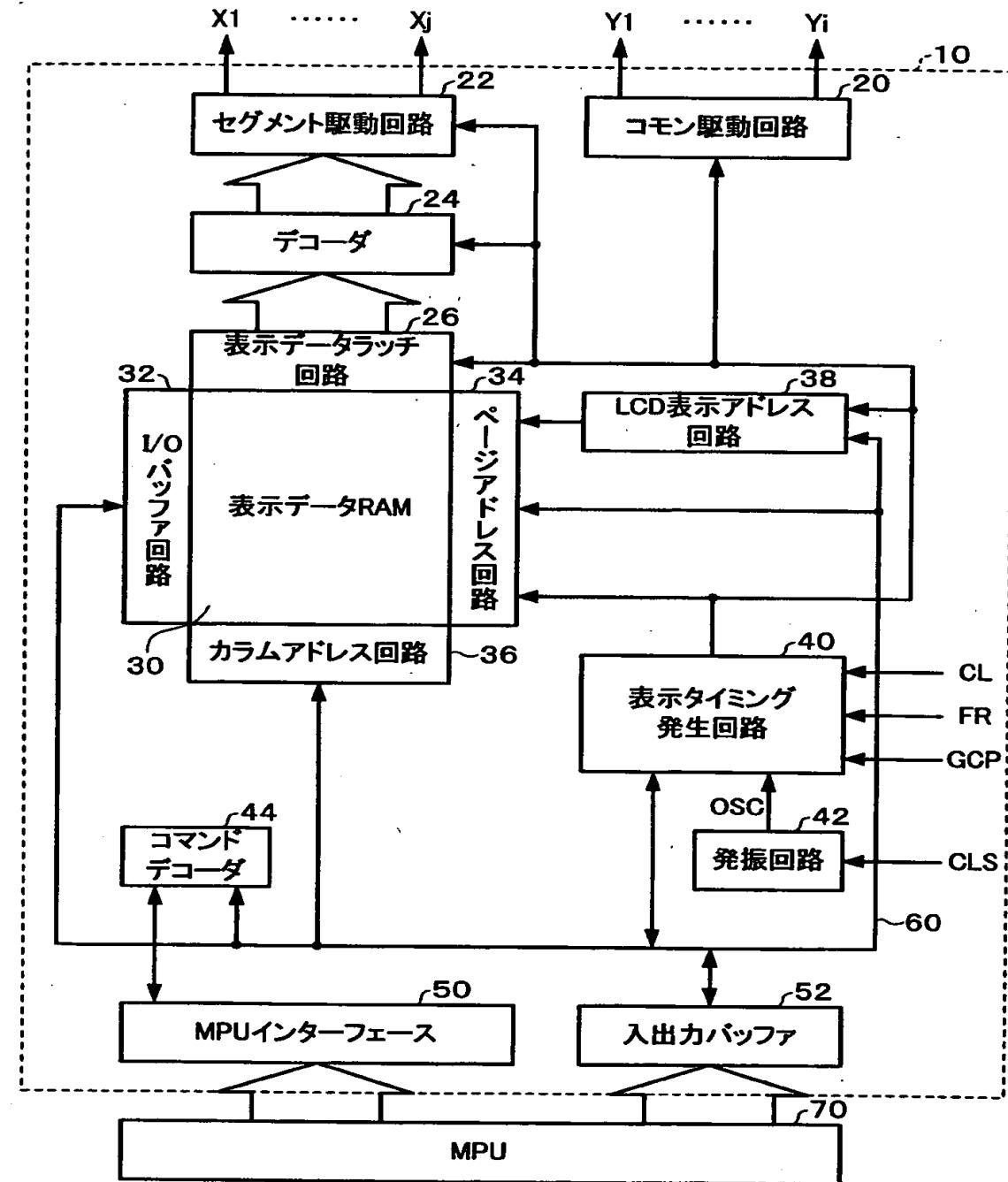
200 液晶パネル

N データビット数

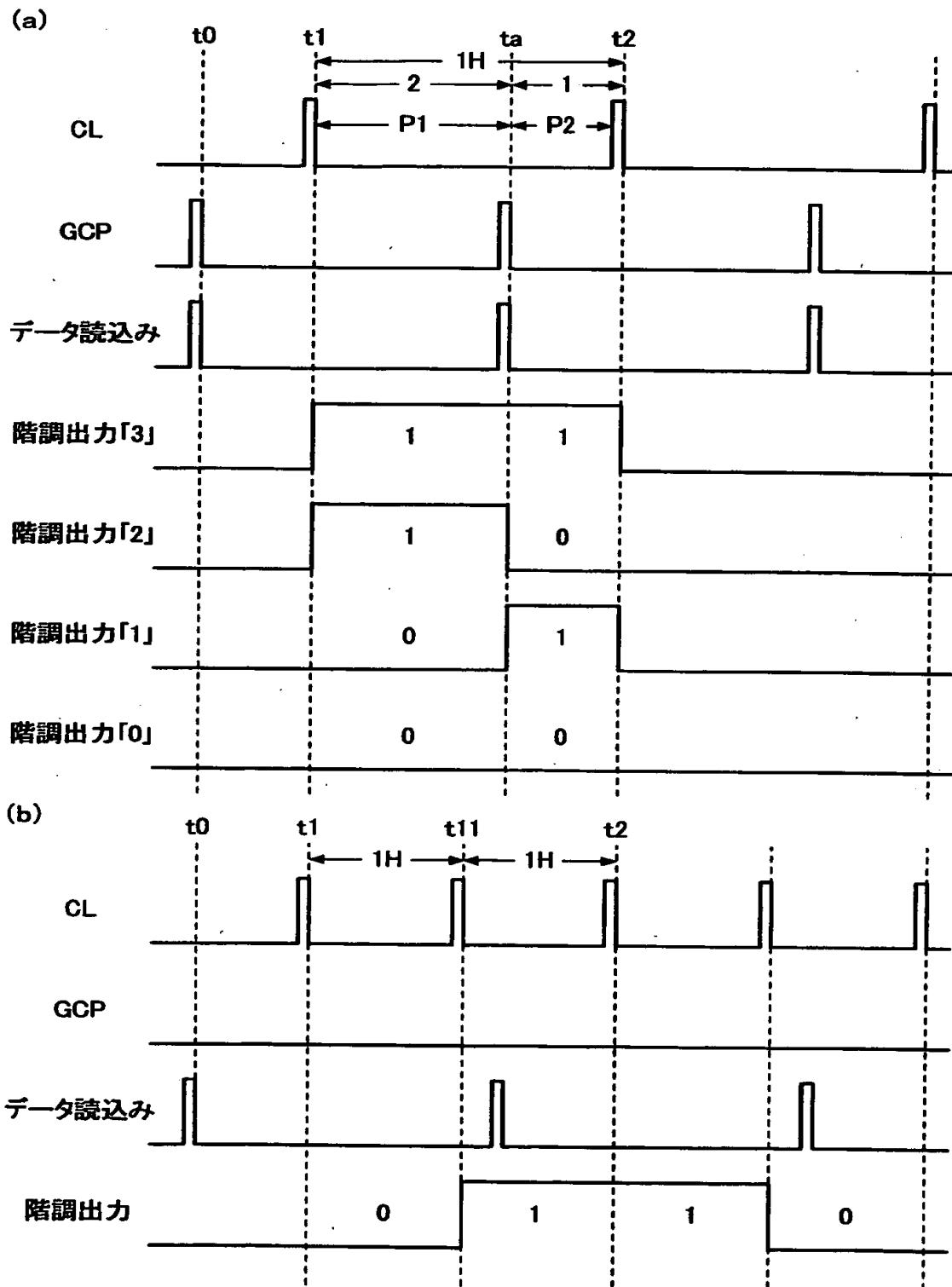
L 同時選択数

【書類名】 図面

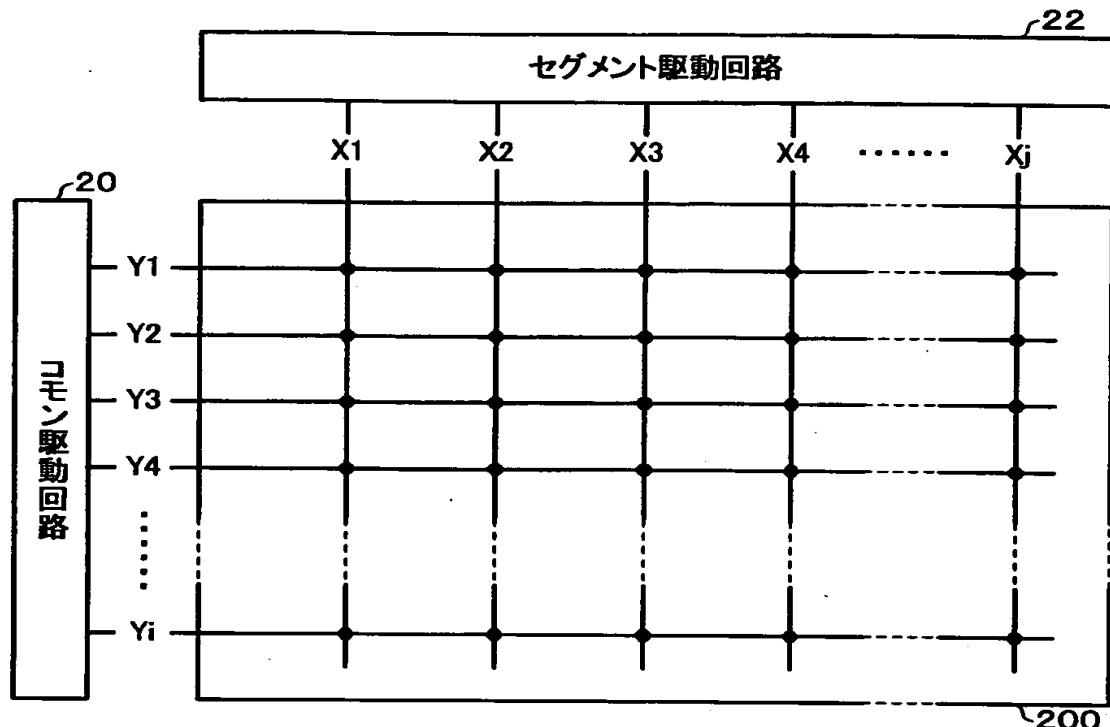
【図1】



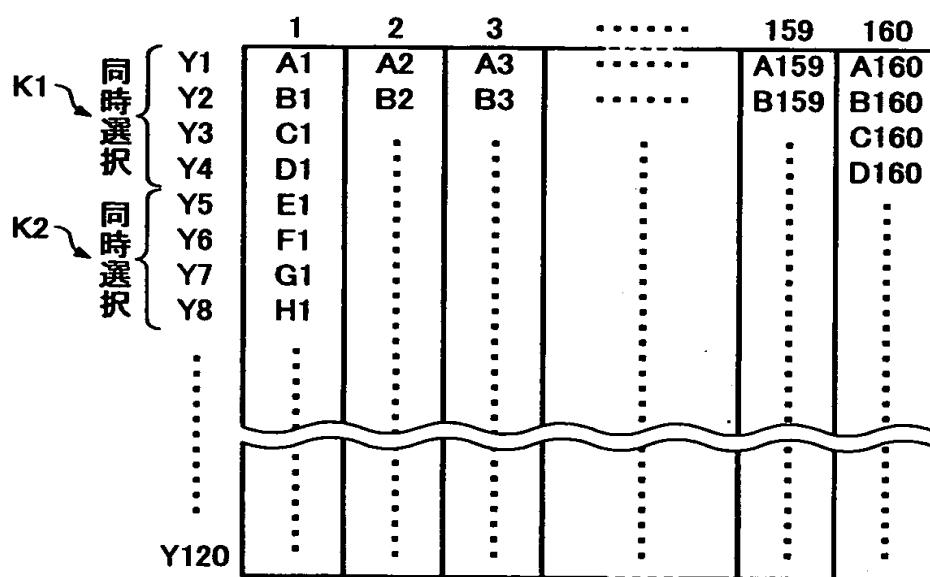
【図2】



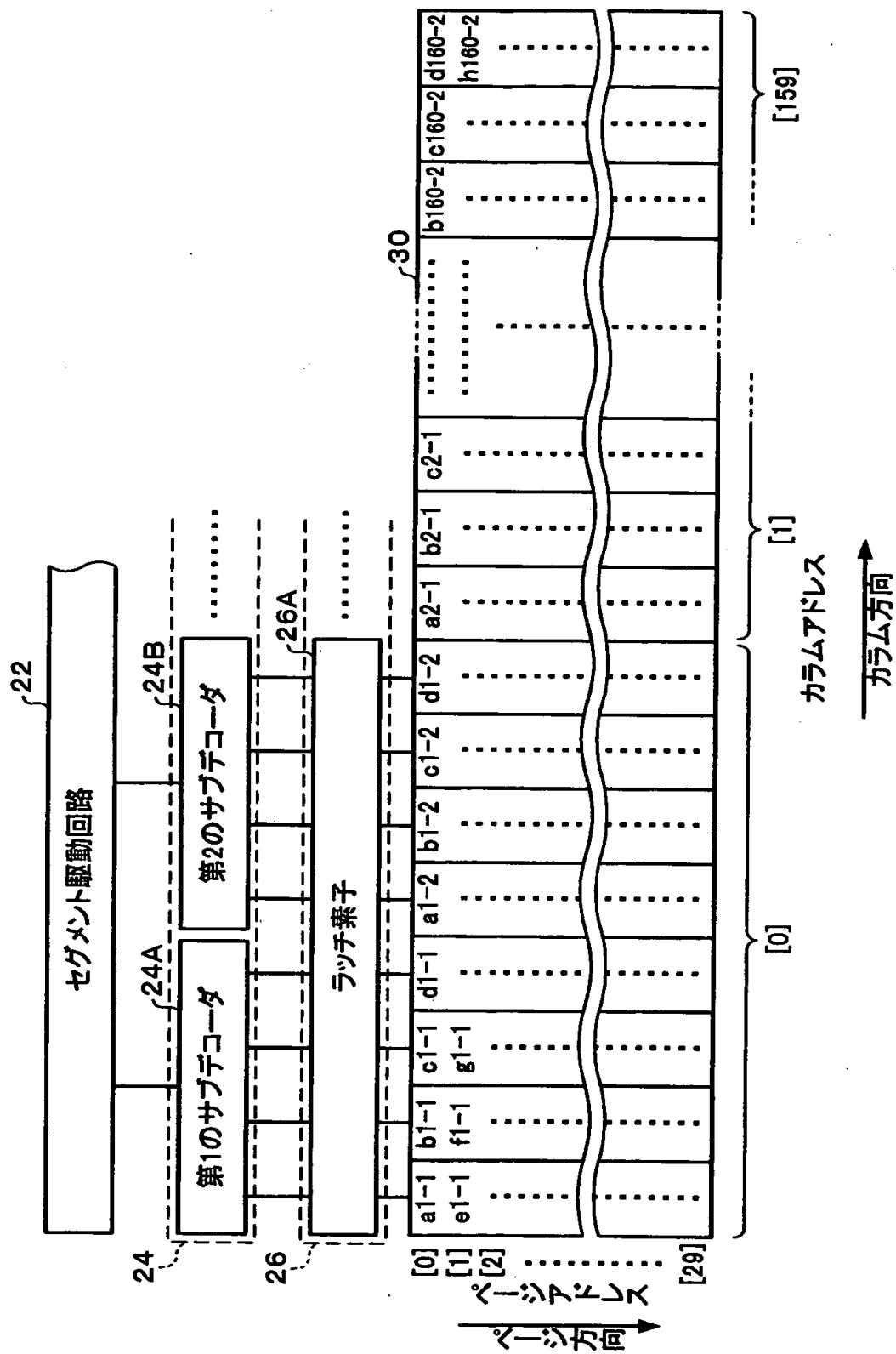
【図3】



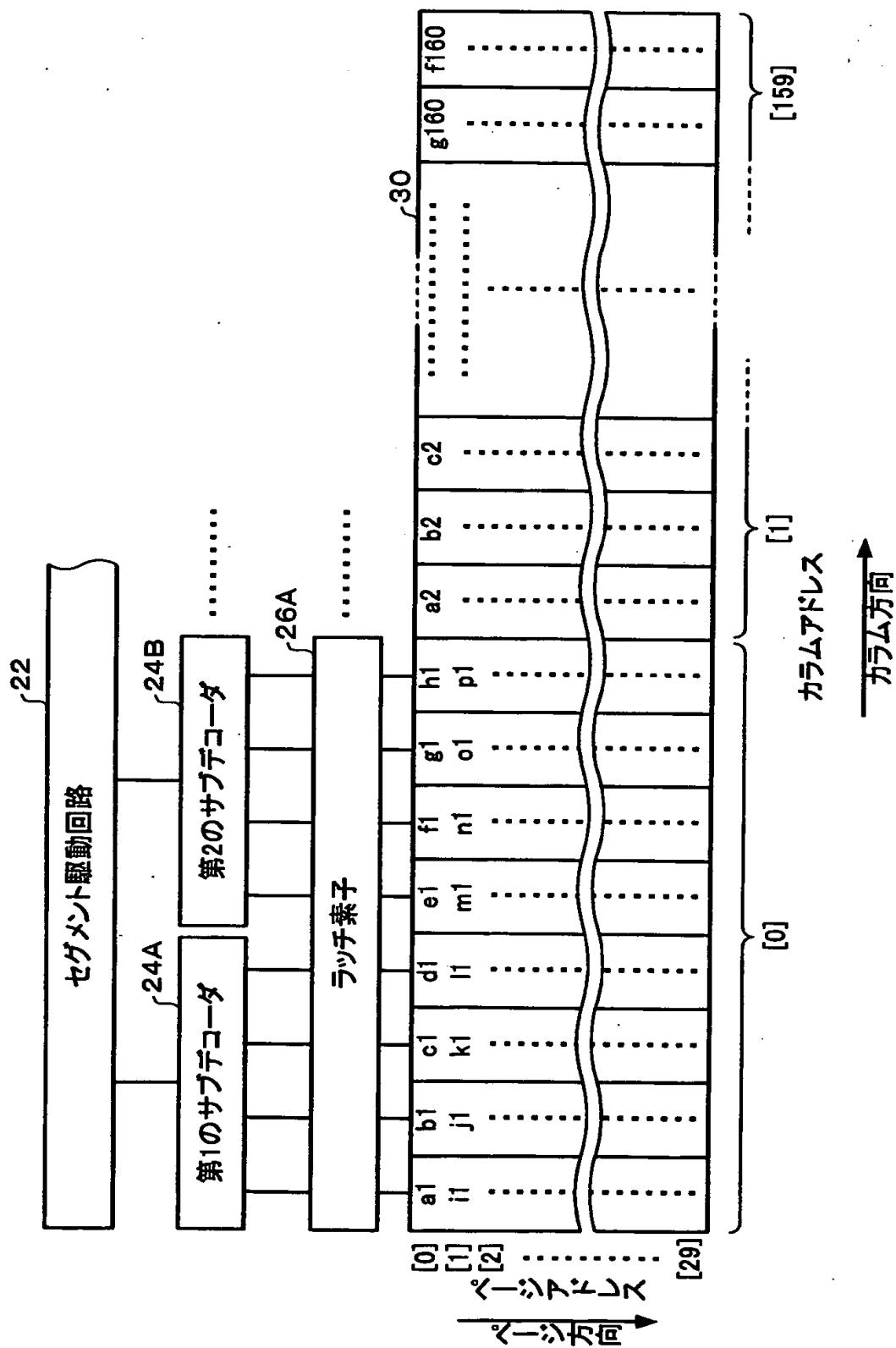
【図4】



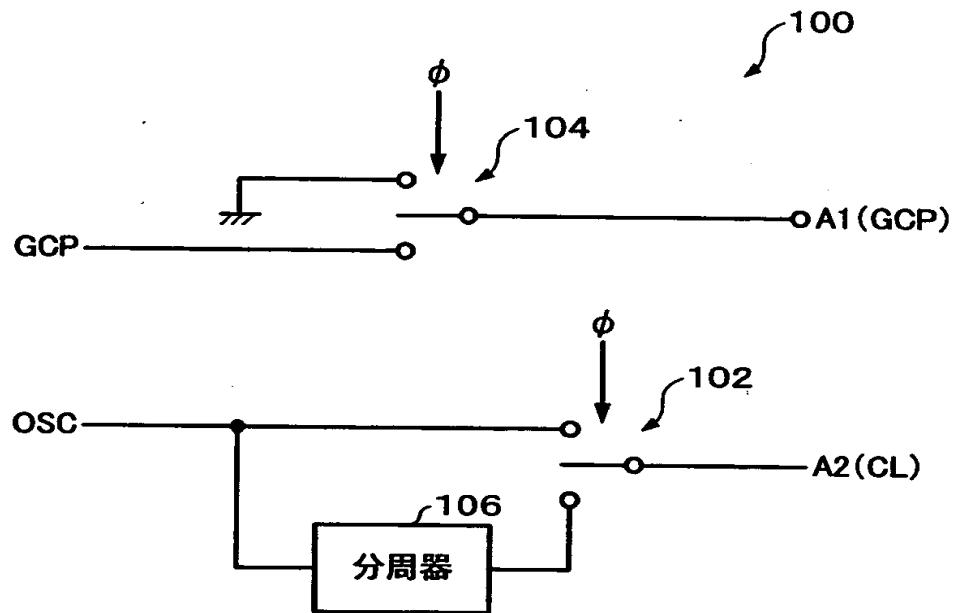
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 単一の表示駆動装置で1つまたは複数の階調表示モードを実施できる汎用性を高めた表示駆動装置を提供すること。

【解決手段】 液晶パネル200を、4本のコモン電極を順次同時に選択しながらMLS駆動する表示駆動装置10である。1本のセグメント電極X1について8ビットの表示データが、表示データRAM30より同時に読み出され、表示データラッチ回路26にラッチされる。表示データラッチ回路26の後段には、8ビットの表示データを、上位、下位の4ビット毎に分割してデコードする第1、第2のサブデコーダ24A、24Bを有するデコーダ24が設けられている。表示データRAMに記憶された8ビットの表示データが、1本のセグメント電極X1上の4個の各画素の4階調データである第1のモードでは、一水平走査期間内を2個に分割した期間の一方の期間P1にて、第1のサブデコーダ24Aからの出力に基づいて階調電位を出力する。残りの期間Pでは、第2のサブデコーダ24Bからの出力に基づいて階調電位を出力する。表示データRAM30に記憶された8ビットの表示データが、1本のセグメント電極X1上の8個の各画素の2階調データである第2のモードでは、第1のサブデコーダ24Aからの出力に基づいて生成した階調電位を第1の選択期間に出力する。これに続く第2の選択期間では、第2のサブデコーダ24Bからの出力に基づいて生成した階調電位を出力する。

【選択図】 図2

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社